

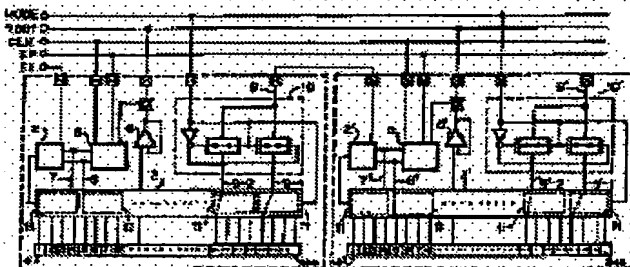
PHOTOELECTRIC CONVERTER, CLOSE CONTACT IMAGE SENSOR AND IMAGE READER

Patent number: JP11234473
Publication date: 1999-08-27
Inventor: KOZUKA HIRAKI
Applicant: CANON KK
Classification:
- international: *H04N1/028; H04N1/19; H04N1/028; H04N1/19; (IPC1-7): H04N1/028; H04N1/19*
- european:
Application number: JP19980037594 19980219
Priority number(s): JP19980037594 19980219

Report a data error here

Abstract of JP11234473

PROBLEM TO BE SOLVED: To obtain a photoelectric converter that can realize a read speed corresponding to a selected resolution and is suitable for a high speed close contact image sensor by selecting the number of light receiving elements of the photoelectric converter to a multiple of $2N$, where a low resolution is set at $1/N$ of a high resolution.
SOLUTION: In a high resolution mode, photoelectric converters 1, 1' have 344-bit signals respectively, and shift register signal 9-1, 9'-1 of the 341st bit are used for next chip start signals. In a low resolution mode, a 2-pixel sum signal is 1-bit, so that the photoelectric converters 1, 1' have equivalent 177-bit signals. Thus, 377-th bit shift register signals 9-2, 9'-2 are used for next chip start signals. In this case, the number of light receiving elements of the photoelectric converters 1, 1' is a multiple of $2N$, where a low resolution is set at $1/N$ of a high resolution. Thus, continuity of pixel signals is maintained even when a different resolution is selected.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 複数の受光素子が第 1 の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第 1 シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第 2 シフトレジスタ駆動パルスにより駆動される走査手段と、前記第 1 の解像度と該第 1 の解像度の $1/N$ (N は自然数) である第 2 の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記複数の受光素子数が $2N$ の倍数であることを特徴とする光電変換装置。

【請求項 2】 複数の受光素子が第 1 の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第 1 シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第 2 シフトレジスタ駆動パルスにより駆動される走査手段と、前記第 1 の解像度と該第 1 の解像度の $1/N$ (N は自然数) である第 2 の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサにおいて、前記光電変換装置の受光素子数が $2N$ の倍数であることを特徴とする密着型イメージセンサ。

【請求項 3】 複数の受光素子が第 1 の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第 1 シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第 2 シフトレジスタ駆動パルスにより駆動される走査手段と、前記第 1 の解像度と該第 1 の解像度の $1/N$ (N は自然数) である第 2 の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記受光素子アレイの第 1 番目の受光素子は前記第 1 シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は該第 2 シフトレジスタ駆動パルスにより読み出されることを特徴とする光電変換装置。

【請求項 4】 複数の受光素子が第 1 の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第 1 シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第 2 シフトレジスタ駆動パルスにより駆動される走査手段と、前記第 1 の解像度と該第 1 の解像度の $1/N$ (N は自然数) である第 2 の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサにおいて、前記受光素子アレイの第 1 番目の受光素子は前記第 1 シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は前記第 2 シフトレジスタ駆動パルスにより読み出されることを特徴とする密着型イメージセンサ。

【請求項 5】 複数の受光素子を含む光電変換装置を複数接続したイメージセンサにおいて、解像度を選択する解像度選択手段と、それぞれの光電変

換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から複数のパルスによって信号を読み出す信号読出手段と、を有し、前記信号読出手段は複数のパルスを周期的に駆動させ、それぞれの光電変換装置内で前記信号読出手段から最初に読み出される信号が前記複数のパルスのうち同一パルスで読み出されるように受光素子の配列数を設定したことを特徴とするイメージセンサ。

【請求項 6】 複数の受光素子を含む光電変換装置を複数接続したイメージセンサにおいて、解像度が $1/N$ (N は正の整数) ずつ変化する複数の解像度のうちのいずれかを選択する解像度選択手段と、それぞれの光電変換装置内に、前記解像度選択手段によって選択された解像度により前記受光素子からの信号の読み出し方法を変化させる制御手段と、前記受光素子から M (M は正の整数) 個のシフトレジスタ駆動パルスによって信号を読み出す信号読出手段と、を有し、前記複数の受光素子が MN の倍数であることを特徴とするイメージセンサ。

【請求項 7】 複数の受光素子が第 1 の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第 1 シフトレジスタ駆動パルスと、該受光素子アレイの偶数番目の該受光素子を読み出す第 2 シフトレジスタ駆動パルスにより駆動される走査手段と、前記第 1 の解像度と該第 1 の解像度の $1/N$ (N は自然数) である第 2 の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサを用いた画像読取装置において、前記光電変換装置の受光素子数が $2N$ の倍数であり、前記第 1 の解像度と前記第 2 の解像度とを切り換えるスイッチを備えたことを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、1次元の光電変換素子とこれを駆動する駆動回路とを備えた光電変換装置を複数実装した密着型イメージセンサ及びその駆動方法に関するものであり、更に詳しくは、解像度切り換え機能を有する密着型イメージセンサ、及び密着型イメージセンサの駆動方法に用いる光電変換装置、並びにイメージスキャナやファクシミリ、電子複写機等の2次元の画像を読み出す画像読取装置等に関するものである。

【0002】

【従来技術】 近年、情報処理システムの分野では、1次元の画像読み取り装置として、従来の光学系を用いた縮尺系のラインセンサに対して、複数の半導体光センサチップをマルチ実装した、等倍系の密着型イメージセンサの開発が積極的に行われている。

【0003】 (従来技術 1) 例えば、特開平 5 - 2 2 7

【0014】尚、図9は、図8における遅延手段2を4ビットとした場合のタイミングである。従って、シフトレジスタ3、3'、3''はスタートパルス信号SPから4ビット遅延して、最初のシフトレジスタの動作を開始する。

【0015】ここで、図9に示すように、シフトレジスタ3の駆動パルス $\Phi 1$ (7、7'、7'')はCLKのハイレベルに同期したパルスとなり、 $\Phi 2$ (8、8'、8'')はCLKのローレベルに同期したパルスとなる。信号出力Voutは $\Phi 1$ 、 $\Phi 2$ に同期して取り出される。従って、シフトレジスタ3の1ビット目が $\Phi 1$ に対応する場合、奇数bitは $\Phi 1$ 同期、偶数bitは $\Phi 2$ 同期の信号出力となる。

【0016】同図Aは光電変換装置(1)の信号出力、同図Cは光電変換装置(1')の信号出力、同図Eは光電変換装置(1'')の信号出力であり、全体の信号出力Voutは図に示すようになる。また、各々の光電変換装置は、最終ビットの4ビット前の信号を次の光電変換装置のスタート信号(B、D)として出力している。

【0017】こうして、マルチチップ型の密着型イメージセンサとして大きな原稿を直接読み出すことが可能となり、チップ間の読み出し休息时间や、信号出力レベルの差異をなくすることができる。

【0018】

【発明が解決しようとする課題】しかしながら、上記の従来技術1に開示されている密着型イメージセンサの解像度切り換え方式においては、画素を読み飛ばすことにより解像度を切り換えているため、例えば、クロックレートが同一の場合には、解像度を半分にしても読み出し時間は、解像度が通常の場合でも半分の場合でも変わらない。仮に、受光素子が600dpiの光学解像度で配置され、高解像度モードで600dpi、低解像度モードで300dpiの解像度が得られるとすると、例えば、600dpi時に6msec/lineの読み取り速度が得られる場合、300dpi時でも6msec/lineの読み取り速度となり、解像度を落としても読み取り速度が変わらない。

【0019】従って、同一のクロックレートを用いて600dpi時に5msec/lineの読み取り速度、300dpi時に3msec/lineの読み取り速度というように、解像度に応じた読み取り速度を実現することができないという問題がある。

【0020】また、奇数ビットと偶数ビットの信号出力線が分離しているため、偶数ビットと奇数ビットのレベル差も生じやすいという問題もある。

【0021】更に、従来技術1で開示されている解像度切り換えを従来技術2で開示されている密着型イメージセンサに適用した場合には、解像度切り換え時に光電変換装置の継ぎ目の部分で、不連続部が生じるという問題が生じる。

【0022】例えば、従来技術2において、プレシフトレジスタのビット数を10ビットとすると、高解像度モード時には次チップスタート信号を出力してから10ビット後に次の光電変換装置の1ビット目が出力されるため、光電変換装置の継ぎ目の部分での信号は不連続にならないが、低解像度モード時には次チップスタート信号が出力されてから5ビット後に信号出力が終了するため、次の光電変換装置の1ビット目が出力されるまでの間、5ビット分の不連続部分が光電変換装置の継ぎ目で生じることになる。

【0023】【発明の目的】本発明の目的は、解像度切り換え時に、解像度に応じた読み取り速度が実現可能で、かつ高速な密着型イメージセンサ、及び密着型イメージセンサに最適な光電変換装置を提供することにある。

【0024】

【課題を解決するための手段】上記の問題を解決するために、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N (Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記複数の受光素子数が2Nの倍数であることを特徴とする。

【0025】また、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N (Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置を複数実装されて構成される密着型イメージセンサにおいて、前記光電変換装置の受光素子数が2Nの倍数であることを特徴とする。

【0026】さらに、本発明は、複数の受光素子が第1の解像度で配置された受光素子アレイと、該受光素子アレイの奇数番目の該受光素子を読み出す第1シフトレジスタ駆動パルスと該受光素子アレイの偶数番目の該受光素子を読み出す第2シフトレジスタ駆動パルスにより駆動される走査手段と、前記第1の解像度と該第1の解像度の1/N (Nは自然数)である第2の解像度とを切り換える解像度切り換え手段と、を有する光電変換装置において、前記受光素子アレイの第1番目の受光素子は前記第1シフトレジスタ駆動パルスにより読み出され、かつ、最後の受光素子は該第2シフトレジスタ駆動パルスにより読み出されることを特徴とする。

【0027】またさらに、本発明は、複数の受光素子を

続されているのは、各イメージセンサチップの動作開始の同期を取るためである。

【0041】次に、図2は8ビット分のシフトレジスタと受光素子の回路ブロック図である。シフトレジスタは4ビットを1ブロックとするシフトレジスタブロック11から構成されており、シフトレジスタブロック11は $\Phi 1$ 同期の1ビットシフトレジスタ12-1~12-4、 $\Phi 2$ 同期の1ビットシフトレジスタ13-1~13-4、及びモード信号を切り替えるアナログスイッチS11~S17、S21~S27で構成されている。

【0042】また、シフトレジスタブロック11は、読み出しパルス線 $\Phi a 1 \sim \Phi d 2$ で、受光素子a1~d2と不図示の信号出力線間の各スイッチ制御端子と接続されている。

【0043】さらに、図3は図2における受光素子4画素分の等価回路であり、各々の受光素子a1~d1は、光電変換手段となるホトダイオードPDa~PDd、読み出しスイッチM1a~M1d、信号転送スイッチM2a~M2d、MOSソースホロアM3a~M3d、上記光電変換手段をリセットする手段であるリセットスイッチM4a~M4d、一時的に電荷を蓄積する蓄積容量Ca~Cdで構成されている。

【0044】以下、本実施形態の動作について説明する。

【0045】図3に示す各受光素子a1~d1において、ホトダイオードPDa~PDdにて光電変換により生成した光キャリアはMOSソースホロアM3a~M3dで電荷電圧変換され、信号転送パルス ΦT にて全画素一括で蓄積容量Ca~Cdに転送される。続いて、シフトレジスタ11から順次ハイとなる読み出しパルス $\Phi a 1 \sim \Phi d 1$ によって順次読み出しスイッチM1a~M1dをオン状態にし、共通信号線14に信号電圧が容量分割し読み出される。

【0046】本実施形態においては、高解像度モード時には読み出しパルス $\Phi a 1 \sim \Phi d 1$ は順次オンしていくが、低解像度モード時には、隣接する2ビット、すなわちシフトレジスタ11から走査する $\Phi a 1$ と $\Phi b 1$ が同時にオンし、続いて $\Phi c 1$ と $\Phi d 1$ が同時にオンする構成となる。従って、低解像度モードにおいては2画素の容量分割加算により、信号電圧を高解像度モード時より大きくすることが可能となる。尚、上記の容量分割加算については、例えば、特開平4-4682号公報に開示されている。

【0047】次に、図2、図3を用いてシフトレジスタ部の動作を説明する。

【0048】図2において、MODE信号がハイレベルの場合は、S11、S21、S16、S17、S26、S27のアナログスイッチがオフ状態となり、一方、S12、S13、S14、S15、S22、S23、S24、S25がオン状態となる。従って、解像度切り換え

の無い、通常のシフトレジスタ動作となり、各受光素子の読み出し制御パルス $\Phi a 1$ から $\Phi d 2$ までは時系列的に順次オン状態となる。なお、図2においては、画像信号の出力線を図示していないが、制御パルス $\Phi a 1$ から $\Phi d 2$ による順次ハイとなるのに同期して、各受光素子a1からd2の受光電荷が信号出力線に出力される。

【0049】次に、MODE信号がローレベルの場合は、S11、S21、S16、S17、S26、S27のアナログスイッチがオン状態となり、一方、S12、S13、S14、S15、S22、S23、S24、S25がオフ状態となる。従って、シフトレジスタ12-1にシフトパルスが入力されると、シフトレジスタ12-1から $\Phi a 1$ と $\Phi b 1$ が $\Phi 1$ 同期で出力され、a1とb1の受光素子の信号を同時に読み出す。続いて、シフトパルスはアナログスイッチS11を介してシフトレジスタ13-2に入力され、シフトレジスタ13-2から $\Phi c 1$ と $\Phi d 1$ が $\Phi 2$ 同期で出力され、c1とd1の受光素子の信号を同時に読み出す。本低解像度読み出しのモードの場合も、不図示の出力線に受光素子a1とb1、c1とd1、a2とb2、c2とd2というように対の受光素子の加算電荷が順次読み出される。

【0050】このとき、シフトレジスタ13-1とシフトレジスタ12-2はシフトパルスが入力されないため動作しない。同様にして、シフトレジスタ12-3から $\Phi a 2$ と $\Phi b 2$ が $\Phi 1$ 同期で出力され、a2とb2の受光素子の信号を同時に読み出し、シフトレジスタ13-4から $\Phi c 2$ と $\Phi d 2$ が $\Phi 2$ 同期で出力され、c2とd2の受光素子の信号を同時に読み出す。

【0051】以上の動作のタイミングチャートを図4に示す。図4において、クロック信号CLKと、同期信号 $\Phi 1$ 、 $\Phi 2$ が高解像度モードと低解像度モードに共通に供給され、スタート信号SRがハイとなると共に高解像度モードと低解像度モードのそれぞれの画像信号出力が得られる。同図より、同一のクロックレートにおいて、低解像度モードにおいては、高解像度モード時の2倍の読み出し速度で読み出すことが可能であることがわかる。

【0052】次に、次チップスタート信号の切り換え手段について説明する。

【0053】図1において、プレシフトレジスタ2、2'は4ビットの遅延を有するため、4ビット前の信号を次チップのスタート信号として出力しなければならない。プレシフトレジスタ2、2'によって、スタート信号SPから時間調節の必要がなく、前段の光電変換装置の読み出しが終了した後、同一タイミングに従って空隙のない連続的な画像信号を得ることができる。従って、高解像度モードの場合には、光電変換装置1、1'はそれぞれ344ビットの信号を有するため、341ビット目のシフトレジスタ信号9-1、9'-1を次チップスタート信号として用いる。

する場合は画素レベルの解像度切り換えの他に、水平方向のみの解像度切り換え、垂直方向のみの解像度切り換え等も実現可能である。

【0069】

【発明の効果】以上説明したように、本発明により、解像度切り換え時においても光電変換装置の継ぎ目において信号が不連続にならず、かつ、解像度に応じた読み取り速度が得られるため、その効果は絶大である。

【0070】また、当該密着型イメージセンサを用いたイメージスキャナや、ファクシミリ、電子複写機等に用いることにより、高画質、通常画質等という被転写紙に要求される画質に応じて出力することができ、機能上の自由度を増加できる。

【図面の簡単な説明】

【図1】本発明の実施形態1における密着型イメージセンサの回路ブロック図である。

【図2】本発明の実施形態による8ビット分のシフトレジスタと受光素子の回路ブロック図である。

【図3】本発明の実施形態による受光素子の等価回路図（4画素分）である。

【図4】本発明の実施形態による動作を示すタイミングチャートである。

【図5】本発明の実施形態2における光電変換装置を用いた密着型イメージセンサの回路ブロック図である。

【図6】本発明の実施形態2におけるスタート信号切り換え回路の回路図である。

【図7】従来技術（1）における密着型イメージセンサ用集積回路の回路図である。

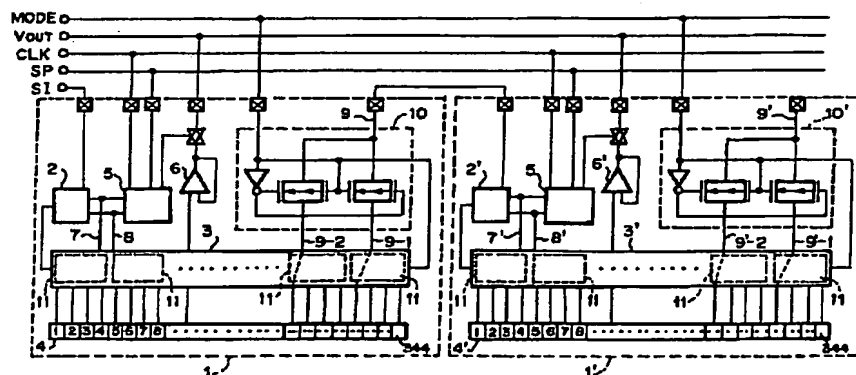
【図8】従来技術（2）におけるイメージセンサチップの等価回路図である。

【図9】従来技術（2）におけるタイミングチャートである。

【符号の説明】

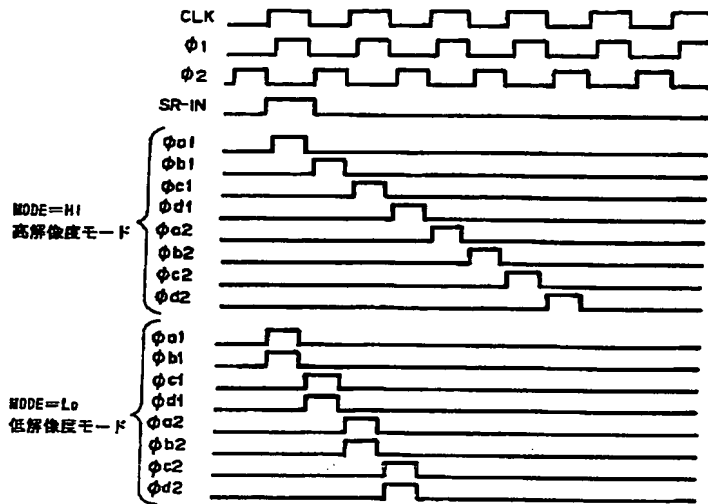
- 1、1' 光電交換装置
- 2、2' プレシフトレジスタ
- 3、3' シフトレジスタ
- 4、4' 受光素子アレイ
- 5、5' タイミング発生回路
- 7、7' シフトレジスタ駆動パルス（Φ1）
- 8、8' シフトレジスタ駆動パルス（Φ2）
- 9、9' 次チップスタート信号線
- 9-1、9-1' 高解像モード時スタート信号線
- 9-2、9-2' 低解像モード時スタート信号線
- 10、10' スタート信号切り換え手段
- 11 シフトレジスタブロック（4ビット分）
- 12-1～12-4' Φ1同期1ビットシフトレジスタ
- 13-1～13-4' Φ2同期1ビットシフトレジスタ
- 14 共通信号線
- a1～d2 受光素子
- Φa1～Φd2 a1～d2読み出しパルス
- M1a～M1d 読み出しスイッチ
- M4a～M4d リセットスイッチ
- PDa～PDd ホトダイオード

【図1】

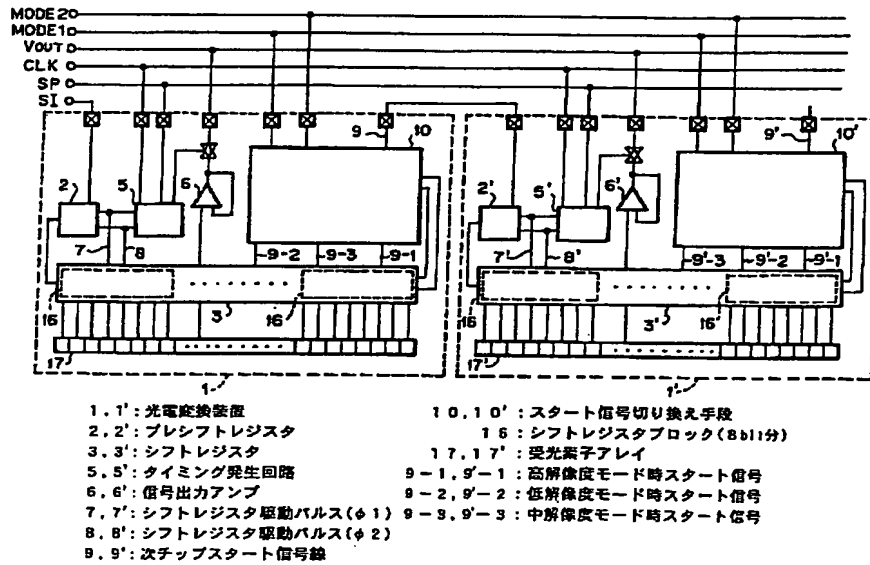


- 1、1'：光電交換装置
- 2、2'：プレシフトレジスタ
- 3、3'：シフトレジスタ
- 4、4'：受光素子アレイ
- 5、5'：タイミング発生回路
- 6、6'：信号出力アンプ
- 7、7'：シフトレジスタ駆動パルス（Φ1）
- 8、8'：シフトレジスタ駆動パルス（Φ2）
- 9、9'：次チップスタート信号線
- 10、10'：スタート信号切り換え手段
- 11：シフトレジスタブロック（4ビット分）
- 9-1、9'-1：高解像度モード時スタート信号
- 9-2、9'-2：低解像度モード時スタート信号

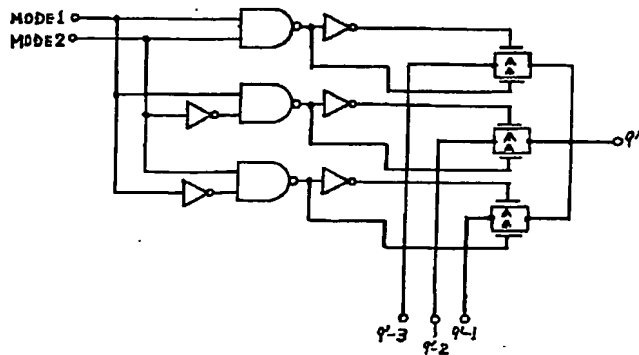
【図 4】



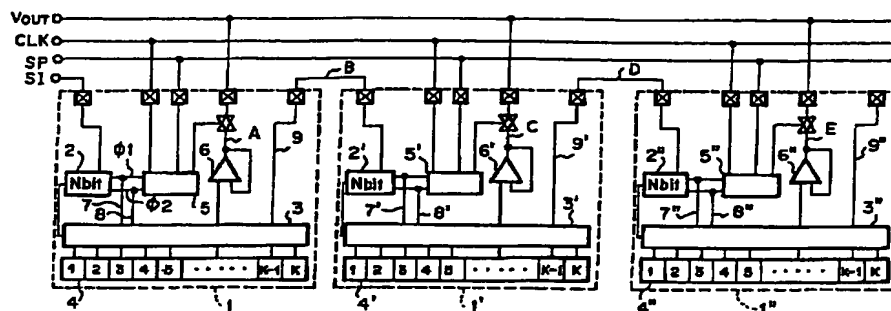
【図 5】



【図 6】



【図 8】



- 1, 1', 1'': 光電変換装置
 2, 2', 2'': Nbit 遅延手段
 3, 3', 3'': シフトレジスタ
 4, 4', 4'': 受光素子アレイ
 5, 5', 5'': タイミング発生回路
 6, 6', 6'': 信号出力アンプ
 7, 7', 7'': シフトレジスタ駆動パルス ($\phi 1$)
 8, 8', 8'': シフトレジスタ駆動パルス ($\phi 2$)
 9, 9', 9'': 次チップスタート信号線

【図 9】

